

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-232452

(43)Date of publication of application : 18.09.1989

(51)Int.Cl.

G06F 12/14
G06F 15/06

(21)Application number : 63-058444

(71)Applicant : NEC CORP

(22)Date of filing : 14.03.1988

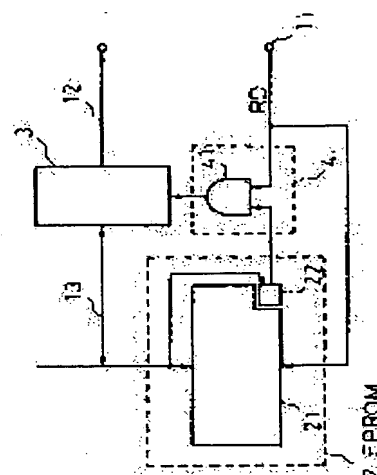
(72)Inventor : OSAWA TOMOYOSHI

(54) ONE-CHIP PROCESSOR

(57)Abstract:

PURPOSE: To ensure the protection of programs against such a case where the outsiders can read the programs by controlling a bidirectional gate based on the state of a certain bit of a ROM when a reading pulse is supplied to the ROM from outside.

CONSTITUTION: A program-only EPROM 2 contains a program EPROM 21 and a protecting EPROM 22 and these two EPROMs can be read out to an internal bus 13. The output of the EPROM 22 is supplied directly to an AND gate 41 of a control circuit 4. The circuit 4 can open a bidirectional gate 3 with output 1 only when a read instruction terminal 11 is equal to 1 with the EPROM 22 equal to 1 respectively in terms of the logic level. Thus the EPROM 22 is readable at the logic level 1 and then unreadable at the level 0 for the purpose of protection.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

PATENT LAID-OPEN (A)

No. Hei 1-232452

September 18, 1989

Application No.:	Sho 63-58444		
Filing Date:	March 14, 1988		
Applicant:	NEC Corporation		
Inventor:	T. Osawa		
Agent:	Y. Iwasa, Patent attorney		
Int. Cl ⁴ :	G 06 F	12/14	320
		15/06	320

1. Title of the Invention

One-chip processor

2. Claims

(1) A one-chip processor having at least a processor and an erasable programmable read-only memory in one chip, comprising:

a bidirectional gate connected between said read-only memory and an external data bus; and

a control circuit for controlling said bidirectional gate in accordance with the state of a certain bit of said read-only memory when a read-out pulse is input into said read-only memory.

An object of the present invention is to provide a one-chip processor designed to protect a program (so that it cannot be read by others).

[Means for Solving the Problem]

The present invention relates to a one-chip processor which has at least a processor and an erasable programmable read-only memory in one chip, characterized in that the one-chip processor has a bidirectional gate connected between the read-only memory and an external data bus; and a control circuit for controlling the bidirectional gate in accordance with the state of a certain bit of the read-only memory when a read-out pulse is input into the read-only memory.

[Example]

Fig. 1 shows a basic configuration of a one-chip processor according to an embodiment of the present invention. The one-chip processor is comprised of a processor 1; an erasable programmable read-only memory (EPROM) 2 which can be freely read out by the processor; a bidirectional gate 3 connected between the EPROM 2 and an external data bus 12; and a control circuit 4 for

controlling the bidirectional gate 3 in accordance with the state of a certain bit of the EPROM 2 when a read-out pulse is input into the EPROM 2.

The processor 1 and the EPROM 2 are connected with an internal bus 13, and the internal bus 13 is connected to the external bus 12 via the bidirectional gate 3.

The operation of a one-chip processor having a configuration as described above will be explained by referring to a flow chart in Fig. 2.

When an instruction to read out the content of the EPROM 2 to outside is generated from a terminal 11 (step 24), the control circuit 4 determines whether the content of the EPROM is protected according to the information of a bit in a certain address of the EPROM 2 (step 26). As a result, when the content is protected, the control circuit 4 closes the bidirectional gate 3 (step 27), and when the content is not protected, it opens the gate 3 (step 29). Therefore, when the content in the EPROM 2 is protected, read-out of the program becomes impossible.

Writing of the above-described bit into the EPROM 2 can be performed in the same manner as that of writing an ordinary data, and once the bit for protection is written, the protection cannot be released unless the bit is erased together with the data (steps 25, 28).

It should be noted that writing, reading to outside for verification, erasing, etc. of a program can be done as usual. For example, writing of a program is performed by inputting a write instruction from outside (step 23) and writing the program (step 30).

As explained above, according to the present embodiment, when a certain bit is changed, as when a program is written, to put a program into a protection mode, the gate is closed so as to make the program unreadable when an attempt is made to read it out from outside. In order to release the protection, it is necessary to erase the bit for protection using ultraviolet rays, etc. as in the case of a program data. Since the program is erased with the bit for protection (when the bit for protection is erased), it is not possible to read the program once it is protected.

A specific configuration example of the embodiment in Fig. 1 is shown in Fig. 3.

The EPROM 2 for programming is separated inside into a program EPROM 21 and a protection EPROM 22. Both EPROMs are readable from an internal bus 13. Further, the output of the protection EPROM 22 is put into an AND gate 41 of a direct control circuit 4. The output of the control circuit 4 becomes "1" in terms of logic level so as to open

the bidirectional gate 3 only when the read-out instruction terminal 11 is "1" and the protection EPROM 22 is "1". Accordingly, when the protection EPROM 22 is "1", the protection is readable, and when it is "0", the program is protected and thus unreadable.

4. Brief Description of the Drawings

Fig. 1 is a block diagram of an embodiment according to the present invention;

Fig. 2 is a flow chart for explaining the operation of the embodiment of Fig. 1; and

Fig. 3 is a block diagram showing a specific configuration example of the embodiment of Fig. 1.

- 1...Processor
- 2...Erasable read-only memory
- 3...Bidirectional gate
- 4...Control circuit

Fig. 1

- 1 Processor
- 2 EPROM
- 3 Bidirectional gate
- 4 Control circuit

Fig. 2

- 23 External WR
- 30 Write
- 24 External RD
- 25 Erase
- 28 Release protection against data erasure
- 26 Protect
- 27 Close gate
- 29 Open gate

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-232452

⑬ Int. Cl.⁴G 06 F 12/14
15/06

識別記号

3 2 0
3 2 0

庁内整理番号

D-7737-5B
C-7343-5B

⑬ 公開 平成1年(1989)9月18日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 ワンチッププロセッサ

⑮ 特 願 昭63-58444

⑯ 出 願 昭63(1988)3月14日

⑰ 発 明 者 大 澤 智 喜
⑱ 出 願 人 日本電気株式会社
⑲ 代 理 人 弁理士 岩佐 義幸東京都港区芝5丁目33番1号 日本電気株式会社内
東京都港区芝5丁目33番1号

明 細 書

1. 発明の名称

ワンチッププロセッサ

2. 特許請求の範囲

(1) 1つのチップの中に、プロセッサと消去可能なプログラマブル読み出し専用メモリとを少なくとも有するワンチッププロセッサにおいて、

前記読み出し専用メモリと外部データベースとの間に接続された双方向ゲートと、

外部から前記読み出し専用メモリに対して読み出しパルスが入力された時に前記読み出し専用メモリの或るビットの状態により前記双方向ゲートを制御する制御回路とを有することを特徴とするワンチッププロセッサ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、プログラムの読み出し保護を図ったワンチッププロセッサに関する。

(従来技術)

プロセッサ関連の技術として高性能なプロセッサ

サが次々に開発されていく一方で、汎用になったプロセッサはその周辺回路を含めてワンチップ化される傾向にある。ワンチップ化に当っては、主要な周辺回路としてランダムアクセスメモリ(RAM)やプログラム格納のための読み出し専用メモリ(ROM)等がワンチップ化される。特にこの様な汎用をねらったワンチッププロセッサとしては、種々のシステムに対応できる様にROMは消去可能なEPROMを用いることが多い。例えば信号処理プロセッサとして、μPD77P20(日本電気株式会社製)等が良い例である。

(発明が解決しようとしている課題)

従来のワンチッププロセッサでは、書き込まれているプログラムを読み出しパルスにより読み出すことができるので、プログラムの保護が不可能であった。

本発明の目的は、プログラムの保護(他人に読まれない)を図ったワンチッププロセッサを提供することにある。

(課題を解決するための手段)

本発明は、1つのチップの中に、プロセッサと消去可能なプログラマブル読み出し専用メモリとを少なくとも有するワンチッププロセッサにおいて、

前記読み出し専用メモリと外部データバスとの間に接続された双方向ゲートと、

外部から前記読み出し専用メモリに対して読み出しパルスが入力された時に前記読み出し専用メモリの或るビットの状態により前記双方向ゲートを制御する制御回路とを有することを特徴とする。

〔実施例〕

第1図は、本発明の一実施例であるワンチッププロセッサの基本的構成を示す。このワンチッププロセッサは、プロセッサ1と、このプロセッサにより自由に読み出すことができる消去可能なプログラマブル読み出し専用メモリ (EPROM) 2と、EPROM 2と外部データバス12との間に接続される双方向ゲート3と、外部からEPROM 2に対して読み出し専用パルスが入力された時にEPROM 2の或るビットの状態により双方向

ゲート3を制御する制御回路4とから構成されている。

プロセッサ1とEPROM 2との間は、内部バス13で接続され、内部バス13は双方向ゲート3を経て外部バス12と接続されている。

以上のような構成のワンチッププロセッサの動作を、第2図のフローチャートを参照しながら説明する。

端子11よりEPROM 2の内容を外部に読み出す命令が発生した時 (ステップ24)、制御回路4はEPROM 2の或るアドレスのビットの情報により、EPROMの内容が保護されているのかを判定し (ステップ26)、その結果、保護されている場合は双方向ゲート3を閉じ (ステップ27)、保護されていない場合はゲート3を開く (ステップ29)。したがって、EPROM 2の内容が保護されている場合には、プログラムの読み出しが不可能となる。

EPROM 2への前記ビットの書き込みは、通常のデータを書き込むのと同様の操作で行え、一

度書き込むとデータ共々消去しない限り (ステップ25、28)、保護を解除することはできない。

なお、プログラムの書き込み、ベリファイ用の外部への読み出し、消去等は通常と何ら変わりなく行える。例えば、プログラムの書き込みは、外部から書き込み命令を入力し (ステップ23)、プログラムを書き込む (ステップ30) ことにより行う。

以上説明したように本実施例によれば、プログラムの書き込みと同様に或るビットを変化させ保護モードにすると、外部より読み出しがなかった時、ゲートが閉じられて外部に読み出すことが不可能となる。この保護を解除するには、プログラムデータと同様に紫外線等により消去しなくてはならないが、同時にプログラムも消去されるので、一度保護してしまとプログラムを読むことはできない。

第1図の実施例の具体的構成例を、第3図に示す。

プログラム専用のEPROM 2は、内部でプロ

グラムEPROM 21と保護EPROM 22とに分かれる。両EPROMともに内部バス13には読み出し可能である。さらに保護EPROM 22の出力は、直接制御回路4のANDゲート41に入っている。制御回路4は、論理レベルで読み出し命令端子11が"1"、保護EPROM 22が"1"のときのみ出力"1"で、双方向ゲート3を開くことができる。よって、保護EPROM 22が"1"のときは読み出し可能であり、"0"のときは保護され読み出し不可能となる。

〔発明の効果〕

以上説明したように本発明によれば、汎用ワンチッププロセッサに組み込んだプログラムを保護することが可能となる。

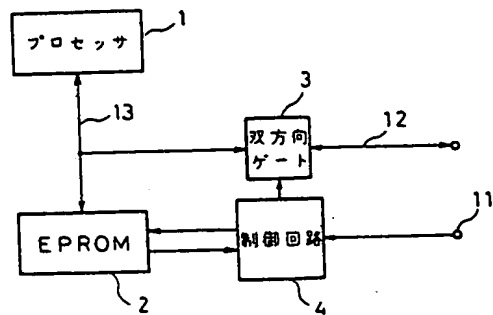
4. 図面の簡単な説明

第1図は、本発明の一実施例のブロック図、

第2図は、第1図の実施例の動作を説明するためのフローチャート、

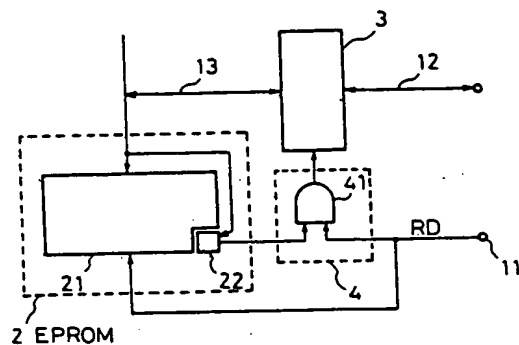
第3図は、第1図の実施例の具体的構成例を示すブロック図である。

- 1 . . . プロセッサ
- 2 . . . 消去可能な読み出し専用メモリ
- 3 . . . 双方向ゲート
- 4 . . . 制御回路

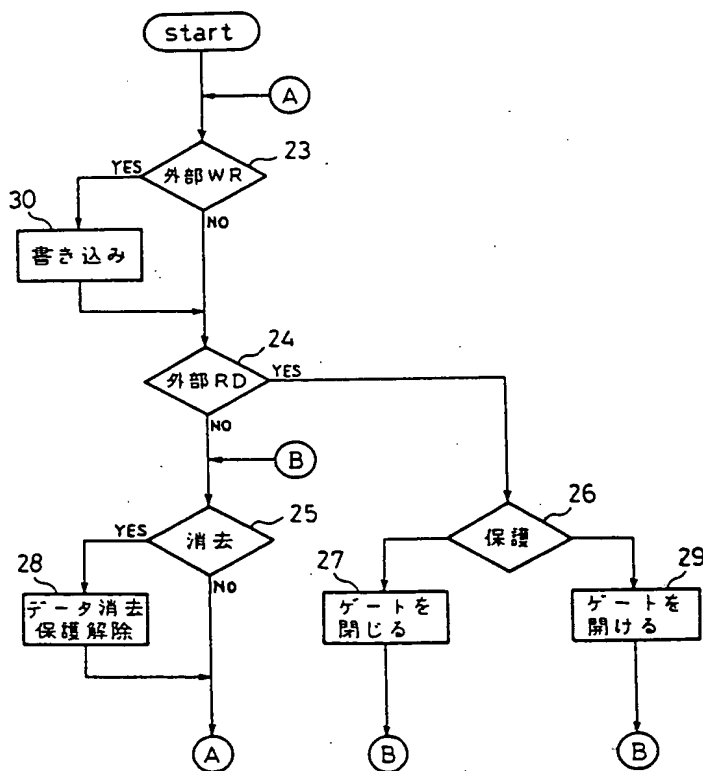


第 1 図

代理人 弁理士 岩 佐 義 幸



第 3 図



第 2 図